

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

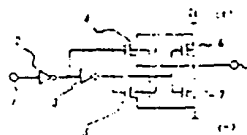
As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

60- OUTPUT CIRCUIT

(1) 2-112317 (A) (43) 274,1990 (39) JP
 (2) Appl. No. 63 26538* (22) 10-10-1988
 (3) NEC CORP. (72) YASUKO AOKI
 (4) Int. Cl. H03K17 16, H03K17 687, H03K19 012, H03K19 0918

PURPOSE: To suppress undershooting and overshooting and to prevent the malfunction of a logical circuit thereafter by making more dominant the operation of a first transistor (TE) than the operation of a second (TR) and making larger the effect on an output terminal.

CONSTITUTION: An inverted input signal to an inverter 1 composed as an output buffer is inputted to the gate between an N-channel MOS TR 4 and a P-channel MOS TR which are reversely connected in series between two power sources, and the output of its contact point and the inverter 2 is connected to an output terminal 8. Thus, a sharp leading edge and trailing edge of the output signal are prevented, and the undershooting and overshooting of the output waveform can be prevented, thereby preventing the malfunction of the logical circuit thereafter.



1, input signal, 2, output signal, 3, power source, 4, N-channel MOS transistor, 5, P-channel MOS transistor, 6, output terminal, 7, power source

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-112317

⑬ Int.Cl.³

H 03 K 17/16
17/687
19/0185
19/0948

識別記号

H 8124-5 J

庁内整理番号

⑭ 公開 平成2年(1990)4月25日

8326-5 J H 03 K 19/00 1 0 1 D
8326-5 J 19/094 B
8214-5 J 17/687 F

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 出力回路

⑯ 特 願 昭63-265387

⑰ 出 願 昭63(1988)10月20日

⑱ 発 明 者 青 木 康 子 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

出力回路

2. 特許請求の範囲

入力端子と、該入力端子に接続されたゲート回路と、ソース又はドレインの一方が第1の電源に接続され、バックゲートが第2の電源に接続され、ゲートが前記ゲート回路の出力端子に接続された第1のNチャネル型トランジスタと、ソース又はドレインの一方が前記第2の電源に接続され、バックゲートが前記第1の電源に接続され、ゲートが前記ゲート回路の前記出力端子に接続された第1のPチャネル型トランジスタと、前記第1の電源に接続された第2のPチャネルトランジスタと前記第2の電源に接続された第2のNチャネルトランジスタとを直列に接続して構成され、前記ゲート回路の出力を反転した信号が入力されるインバータと、該インバータの出力、前記第1

のNチャネルトランジスタのソース又はドレインの他方及び前記第1のPチャネルトランジスタのソース又はドレインの他方に接続された出力端子とを有することを特徴とする出力回路

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は相補型MOS集積回路に関し、特に出力回路に関する。

〔従来の技術〕

従来の出力回路の等価回路図を第3図に示す。従来の出力回路は、入力信号1をインバータ15で受け、そのインバータ15でPチャネルMOSトランジスタ6とNチャネルMOSトランジスタ7を直列に接続したCMOSインバータを駆動し、このインバータの出力に出力端子8を接続するという構成になっていた。

〔発明が解決しようとする課題〕

上述した従来の出力回路において要求された電流駆動能力を満足できよう、出力バッファを構

成するPチャネルMOSトランジスタ6とNチャネルMOSトランジスタ7のチャネル幅を十分大きく設定する。このとき、出力信号は急激に立上り、立下りし、出力変化の初めに大電流が流れ、出力波形にアンダーシュート、オーバーシュートが生じその後の論理回路に誤動作の要因を与えるという欠点がある。

【課題を解決するための手段】

本発明は、出力バッファとして構成しているインバータへの入力信号の反転信号を2つの電源間に逆直列接続したNチャネルMOSトランジスタとPチャネルMOSトランジスタのゲートに入力し、その接続点とインバータの出力を出力端子と接続している。

すなわち、本発明の出力回路は、ソースを電源(+)に接続し、バックゲートを電源(-)に接続したNチャネルMOSトランジスタ、ソースを電源(-)に接続し、バックゲートを電源(+)に接続したPチャネルMOSトランジスタ、入力信号を受けるゲート回路及びその反転信号を出力するイン

バータの入力に第2のインバータ3の出力を接続し、このインバータの出力と第1のNチャネルMOSトランジスタ4のドレインと第1のPチャネルMOSトランジスタ5のドレインとを接続し、さらにこの接続点に出力端子8を接続する。

ここでNチャネルMOSトランジスタ4、PチャネルMOSトランジスタ5を要求された電流駆動能力を満足できる β_m になるように設定し、PチャネルMOSトランジスタ6、NチャネルMOSトランジスタ7の β_m を例えばその0.4倍になるよう設定、またインバータ2、3も各MOSトランジスタ4、5、6、7を駆動できる β_m に設定した場合の動作について説明する。まず入力信号1がロウレベルからハイレベルへ変化した場合を考えてみると、インバータ2の出力はハイレベルからロウレベルへ、インバータ3の出力はロウレベルからハイレベルへと変化し、第1のNチャネルMOSトランジスタ4、第2のMOSトランジスタ6は急速にオンし、第1のPチャネルMOSトランジスタ5、第2のNチャネルMOSトランジ

スタ7は急速にオフする。このとき第1のNチャネルMOSトランジスタ4とPチャネルMOSトランジスタ5の接続点を第2のPチャネルMOSトランジスタ6、NチャネルMOSトランジスタ7の接続点と切り離して考えると第1のPチャネルMOSトランジスタ5のドレインの電位は、バックゲートがかかった状態でのスレッショールド電位分、電源(-)より上がった電位となる。しかし、この点は第2のPチャネルMOSトランジスタ6とNチャネルMOSトランジスタ7の接続点と接続されているため出力端子8の電位は電源(-)の電位まで下がる。

【実施例】

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例の等価回路図である。入力信号を受けるゲート回路としてインバータを使用した例で、1が入力信号、2が入力信号を受ける第1のインバータ、3は第1のインバータ2の出力を受ける第2のインバータで、ソースを電源(+)、バックゲートを電源(-)に接続した第1のNチャネルMOSトランジスタ4と、ソースを電源(-)、バックゲートを電源(+)に接続した第1のPチャネルMOSトランジスタ5のゲートに第1のインバータ2の出力を入力する。第2のPチャネルMOSトランジスタ6と第2のNチャネルMOSトランジスタ7を直列に接続して構成す

る。このとき第1のNチャネルMOSトランジスタ4とPチャネルMOSトランジスタ5の接続点を第2のPチャネルMOSトランジスタ6、NチャネルMOSトランジスタ7の接続点と切り離して考えると第1のPチャネルMOSトランジスタ5のドレインの電位は、バックゲートがかかった状態でのスレッショールド電位分、電源(-)より上がった電位となる。しかし、この点は第2のPチャネルMOSトランジスタ6とNチャネルMOSトランジスタ7の接続点と接続されているため出力端子8の電位は電源(-)の電位まで下がる。

一方、入力信号1がハイレベルからロウレベルに変化する場合は、インバータ2の出力はロウレベルからハイレベルへ、インバータ3の出力はハイレベルからロウレベルへと変化し、第1のNチャネルMOSトランジスタ4、第2のPチャネルMOSトランジスタ6は急速にオンし、第1のPチャネルMOSトランジスタ5、第2のNチャネルMOSトランジスタ7は急速にオフする。入

力信号1がロウレベルからハイレベルに変化する
場合と同様に、第1のPチャネルMOSトランジ
スタ4のドレイン電位はバックゲートがかかった
状態でのスレッシュホールド電位分電源(+)から下
がった電位となるが、第2のPチャネルMOSト
ランジスタ6のドレインとも接続されているため、
出力端子8の電位は電源(+)まで上がる。

入力信号1の変化に対し、どちらの場合も、第
2のPチャネルMOSトランジスタ6、Nチャ
ネルMOSトランジスタ7の β mが第1のNチャ
ネルMOSトランジスタ4、PチャネルMOSトラ
ンジスタ5の0.4倍と設定しているため出力端子
8の電位の変化は第1のNチャネルMOSトラ
ンジスタ4、PチャネルMOSトランジスタ5の動
作が、第2のPチャネルMOSトランジスタ6、
NチャネルMOSトランジスタ7の動作よりも支
配的となり、第1のNチャネルMOSトランジ
スタ4とPチャネルMOSトランジスタ5の電位の
影響が大きい。このため、出力端子8のアンダー
シュート、オーバーシュートを抑えることができ

ジスタ7の動作より支配的に動作させ、出力端子
8への影響を大きくすることにより、アンダー
シュート、オーバーシュートを抑え、その後の論
理回路の誤動作を防ぐことができる。

第2図は本発明の他の実施例の等価回路図であ
る。一実施例と同様に、入力信号1をインバータ
15を介して反転した信号と、制御信号9をイン
バータ10を介して反転した信号を入力とする
NAND回路11の出力をインバータ13を介し
反転し、その信号をソースを電源(+)、バック
ゲートを電源(-)に接続した第1のNチャネルMOS
トランジスタ4のゲートに接続し、入力信号1を
インバータ15を介して反転した信号と制御信号
9を入力したNOR回路12の出力をインバータ
14を介し反転した信号をソースを電源(-)、
バックゲートを(+)に接続した第1のPチャネル
MOSトランジスタ5のゲートに接続する。また
NAND回路11の出力を第2のPチャネルMOS
トランジスタ6のゲートに接続し、NOR回路12
の出力を第2のNチャネルMOSトランジスタの

る。

次に、本実施例の効果を従来の技術と比較しな
がら説明する。第1のNチャネルMOSトランジ
スタ4、PチャネルMOSトランジスタ5の β mに
対し、第2のPチャネルMOSトランジスタ6、N
チャネルMOSトランジスタ7の β mを0.5~0.2
倍まで変化させ、回路シミュレーション(SPICE)
を行った結果、アンダーシュートの減少具合を第
4図に、シミュレーション波形を第5図にそれぞ
れ示す。これからわかるように β m比を0.5以下に
設定した場合従来の回路に比べ、オーバーシュ
ート、アンダーシュートを半分以下に抑えることが
できる。

このように、ソースを電源(+)、バックゲート
を電源(-)に接続した第1のNチャネルMOSト
ランジスタ4とソースを電源(-)、バックゲート
を電源(+)に接続した第1のPチャネルMOSト
ランジスタ5の動作を出力端子8に対し、従来の
出力バッファを構成していた第2のPチャネル
MOSトランジスタ6とNチャネルMOSトラン

ジスタ7の動作より支配的に動作させ、出力端子
8への影響を大きくすることにより、アンダー
シュート、オーバーシュートを抑え、その後の論
理回路の誤動作を防ぐことができる。

第2図は本発明の他の実施例の等価回路図であ
る。一実施例と同様に、入力信号1をインバータ
15を介して反転した信号と、制御信号9をイン
バータ10を介して反転した信号を入力とする
NAND回路11の出力をインバータ13を介し
反転し、その信号をソースを電源(+)、バック
ゲートを電源(-)に接続した第1のNチャネルMOS
トランジスタ4のゲートに接続し、入力信号1を
インバータ15を介して反転した信号と制御信号
9を入力したNOR回路12の出力をインバータ
14を介し反転した信号をソースを電源(-)、
バックゲートを(+)に接続した第1のPチャネル
MOSトランジスタ5のゲートに接続する。また
NAND回路11の出力を第2のPチャネルMOS
トランジスタ6のゲートに接続し、NOR回路12
の出力を第2のNチャネルMOSトランジスタの

ゲートに接続し、第1のNチャネルMOSトラン
ジスタ4のドレインと第1のPチャネルMOSト
ランジスタ5のドレインと第2のPチャネルMOS
トランジスタ6とNチャネルMOSトランジスタ
7の接続点とを接続し、さらに出力端子8を接続
する。制御信号9がロウレベルのとき、一実施例
と同様の動作となる。逆に制御信号9がハイレ
ベルのとき、NAND回路11の出力はハイレベル、
インバータ13の出力はロウレベル、NOR回路
12の出力はロウレベル、インバータ14の出力
はハイレベルとなり、第1のNチャネルMOSトラ
ンジスタ4、第1のPチャネルMOSトランジス
タ5、第2のPチャネルMOSトランジスタ6、
第2のNチャネルMOSトランジスタ7は全てオ
フし、出力端子をハイ・インピーダンス状態にす
ることができる。

〔発明の効果〕

以上、説明したように入力信号を受けるゲート
回路の出力を、ソースを電源(+)に接続し、バッ
クゲートを電源(-)に接続した第1のNチャネル

MOSTランジスタのゲートと、ソースを電源(-)、バックゲートを電源(+)に接続した第1のPチャネルMOSTランジスタのゲートに接続し、入力信号を受けるゲート回路の出力を入力したインバータの出力を第2のPチャネルMOSTランジスタと第2のNチャネルMOSTランジスタを直列に接続して構成するインバータの入力に接続し、この出力と第1のNチャネルMOSTランジスタのドレインと第1のPチャネルMOSTランジスタのドレインとに出力端子を接続し、第1のPチャネルMOSTランジスタと第1のNチャネルMOSTランジスタの g_m を第2のPチャネルMOSTランジスタと第2のNチャネルMOSTランジスタの g_m より大きくして、ソースを電源(+)、バックゲートを電源(-)に接続した第1のNチャネルMOSTランジスタとソースを電源(-)、バックゲートを電源(+)に接続した第1のPチャネルMOSTランジスタの動作を出力端子に対し、従来の出力バッファを構成していた第2のPチャネルMOSTランジスタとNチャネルMOSTラ

ンジスタの動作より支配的に動作させ、出力端子への影響を大きくすることにより、アンダーシュート、オーバーシュートを抑え、その後の論理回路の誤動作を防ぐことができるという効果がある。

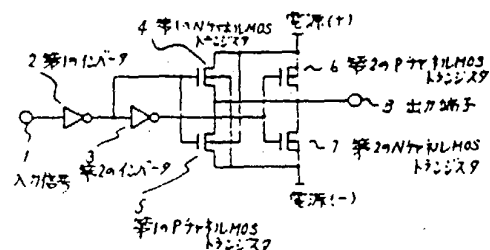
4. 図面の簡単な説明

第1図は本発明の一実施例の等価回路図、第2図は本発明の他の実施例の等価回路図、第3図は従来の実施例の等価回路図、第4図は回路シミュレーション(SPICE)を行った結果の g_m 比に対するアンダーシュートの割合を示すグラフ、第5図は回路シミュレーションを行った結果のシミュレーション波形図である。

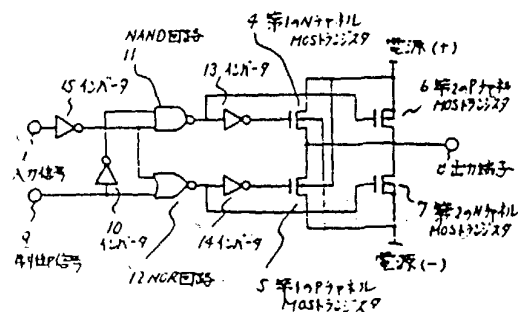
1……入力信号、2……第1のインバータ、3……第2のインバータ、4……第1のNチャネルMOSTランジスタ、5……第1のPチャネルMOSTランジスタ、6……第2のPチャネルMOSTランジスタ、7……第2のNチャネルMOSTランジスタ、8……出力端子、9……制

御信号、10……インバータ、11……NAND回路、12……NOR回路、13……インバータ、14……インバータ、15……インバータ。

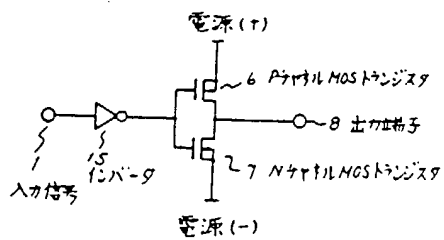
代理人 弁理士 内 原 晋



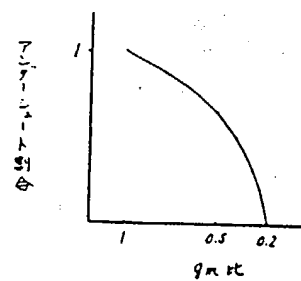
第 1 図



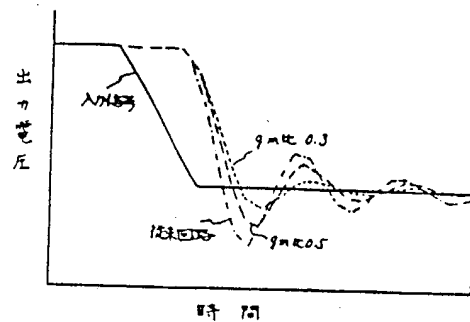
第 2 図



第3図



第4図



第5図